

Method and circuit for regulating the signal level fed to an analog/digital converter

Patent number: DE19918385
Publication date: 2000-11-02
Inventor: ROHE CHRISTOPH (DE); FALKENBERG ANDREAS (DE); NIEMEYER ULF (DE)
Applicant: SIEMENS AG (DE)
Classification:
- **International:** H03M1/18; H04B1/26
- **European:** H03M1/18B4M
Application number: DE19991018385 19990422
Priority number(s): DE19991018385 19990422

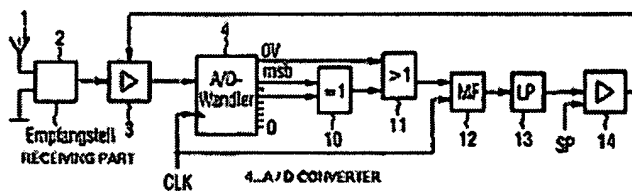
Also published as:

WO0065721 (A1)
EP1183782 (A1)
US6690312 (B1)
EP1183782 (B1)

[Report a data error here](#)

Abstract of DE19918385

The invention relates to a method and circuit for regulating the signal level fed to an analog-digital converter. In order to regulate the signal level fed to an analog-digital converter, the rate of change at which the output signal of the analog-digital converter (4) is temporally modified, especially the modification rate of an output bit of the analog-digital converter, is measured and compared with the specified value (SP). The signal level fed to the analog-digital converter (4) is adjusted according to the result of this comparison.



Data supplied from the esp@cenet database - Worldwide



⑮ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Offenlegungsschrift**
⑩ **DE 199 18 385 A 1**

⑤ Int. Cl.⁷:
H 03 M 1/18
H 04 B 1/26

⑳ Aktenzeichen: 199 18 385.6
㉔ Anmeldetag: 22. 4. 1999
㉔ Offenlegungstag: 2. 11. 2000

DE 199 18 385 A 1

㉑ Anmelder:
Siemens AG, 80333 München, DE

㉒ Erfinder:
Rohe, Christoph, Dipl.-Ing., 44803 Bochum, DE;
Falkenberg, Andreas, Dipl.-Inform., 58093 Hagen,
DE; Niemeyer, Ulf, Dipl.-Ing., 44803 Bochum, DE

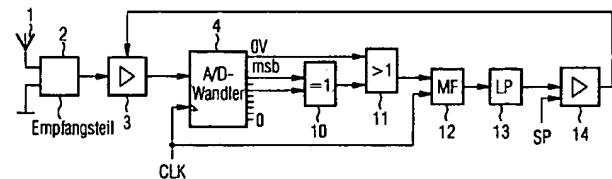
⑤⑥ Entgegenhaltungen:
DE 43 19 376 C1
DE 196 26 599 A1
EP 07 57 447 A2

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Verfahren und Schaltungsanordnung zum Regeln des einem Analog/Digital-Wandler zugeführten Signalpegels

⑤⑦ Zum Regeln des einem Analog/Digital-Wandler zugeführten Signalpegels wird die Änderungsrate, mit der sich das Ausgangssignal des Analog/Digital-Wandlers (4) zeitlich verändert, insbesondere die Änderungsrate eines Ausgangsbits des Analog/Digital-Wandlers, erfaßt und mit einem Sollwert (SP) verglichen, um davon abhängig den dem Analog/Digital-Wandler (4) zugeführten Signalpegel einzustellen.



DE 199 18 385 A 1



Beschreibung

Die vorliegende Erfindung betrifft ein Verfahren und eine Schaltungsanordnung zum Regeln des einem Analog/Digital-Wandler zugeführten Signalpegels.

Digitale Hochfrequenz-Empfänger (HF-Empfänger) arbeiten nach dem derzeitigen Stand der Technik im HF-Eingangsteil analog. Ein Empfangssignal wird erst digitalisiert, nachdem es in das Basisband oder in eine Zwischenfrequenz heruntergemischt worden ist. Da der HF-Eingangsbereich aufgrund der unterschiedlichen Entfernungen zum Sender sehr groß sein kann, muß das Empfangssignal vor der weiteren Verarbeitung, insbesondere vor seiner Digitalisierung, normiert werden. Zu diesem Zweck werden sogenannte AGC-Schaltungen (Automatic Gain Control) verwendet, deren Aufgabe es ist, den dem im Empfänger zur Digitalisierung vorgesehenen Analog/Digital-Wandler (A/D-Wandler) zugeführten Signalpegel derart zu regeln, daß der A/D-Wandler nicht übersteuert wird. Da die AGC-Schaltung nicht mit einer Geschwindigkeit arbeiten kann, welche den im Mobilfunkbereich auftretenden Fast-Fading-Effekten gerecht wird, muß eine Sicherheitsreserve zwischen dem der AGC-Schaltung vorgegebenen Sollwert und dem Maximalwert, der noch von dem A/D-Wandler umgesetzt werden kann, vorgesehen werden, so daß das umzusetzende Signal den gesamten Arbeitsbereich des A/D-Wandlers abzüglich der Sicherheitsreserve abdeckt. Die Sicherheitsreserve sollte derart bemessen sein, daß kurzzeitige Empfangssignalüberhöhungen innerhalb der Zeitkonstante des in der AGC-Schaltung verwendeten Reglers ausgeglichen werden können. So kann die Sicherheitsreserve je nach Anwendungsfall beispielsweise bei schnurlosen digitalen Telefonen 75% des Aussteuerbereichs des A/D-Wandlers betragen, wobei eine kurzzeitige Übersteuerung des A/D-Wandlers hingenommen werden kann.

Als AGC-Schaltungen sind sowohl dem A/D-Wandler vorgeschaltete Varianten als auch dem A/D-Wandler nachgeschaltete Varianten bekannt. AGC-Schaltungen, welche dem A/D-Wandler nachgeschaltet sind, besitzen den Vorteil, daß kein Abgleich zwischen dem Eingangspegel des A/D-Wandlers und dem Eingangspegel der AGC-Schaltung durchgeführt werden muß.

In Fig. 4 ist ein Beispiel für einen HF-Empfänger mit einer bekannten AGC-Schaltung dargestellt, welche dem A/D-Wandler nachgeschaltet ist. Ein Empfangs- oder Eingangssignal wird dem HF-Empfangsteil 2 des HF-Empfängers über eine Antenne 1 zugeführt. Wie bereits erwähnt worden ist, arbeitet das HF-Empfangsteil 2 analog. Das analoge Empfangssignal wird daher zur Digitalisierung einem A/D-Wandler 4 zugeführt, dessen Eingangssignalpegel über einen Regelkreis geregelt wird, wobei der Regelkreis einen Verstärker 3, der zwischen dem HF-Empfangsteil 2 und dem A/D-Wandler 4 angeordnet ist, mit variabler Verstärkung umfaßt. Bei dem in Fig. 4 gezeigten A/D-Wandler 4 handelt es sich um einen 8 Bit-A/D-Wandler, dessen 8 Bit-Ausgangswert einer Einheit 5 zugeführt wird, welche den Absolutwert des vom A/D-Wandler gelieferten Signalwerts berechnet. Der somit ermittelte Absolutwert wird mit negativem Vorzeichen einem Addierer 6 zugeführt, der des weiteren eine Sollwertvorgabe SP empfängt, so daß mit Hilfe des Addierers 6 der Sollwert SP mit dem berechneten Absolutwert verglichen und abhängig von dem Vergleichsergebnis ein Stellsignal für den Verstärker 3 erzeugt wird, wobei gemäß Fig. 4 das Stellsignal durch Kombination zweier Teilsignale mit Hilfe eines Addierers 9 erzeugt wird. Das erste Teilsignal wird von einer Einheit 7 geliefert, welche das ihr zugeführte Differenzsignal integriert und skaliert, während das zweite Teilsignal von einem Tiefpaßfilter erster Ord-

nung (LP) 8 geliefert wird, welcher das ihm zugeführte Differenzsignal ebenfalls zudem skaliert. Die Einheit 7 repräsentiert somit den I-Anteil eines PI-Reglers, während die Einheit 8 den P-Anteil des PI-Reglers repräsentiert. Mit Hilfe des auf diese Weise gebildeten Regelkreises wird die Eingangsverstärkung des A/D-Wandlers 4 derart geregelt, daß der Absolutwert des Ausgangssignals des A/D-Wandlers 4 stets innerhalb eines bestimmten Bereichs bleibt bzw. sich innerhalb einer bestimmten Zeit dem Sollwert SP annähert.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, ein neues Verfahren und eine neue Schaltungsanordnung zum Regeln des einem Analog/Digital-Wandler zugeführten Signalpegels bereitzustellen, womit eine möglichst einfache Regelung des dem Analog/Digital-Wandler zugeführten Signalpegels möglich sein soll. Insbesondere soll die Schaltungsanordnung mit einer minimalen Anzahl an Komponenten auskommen.

Die oben genannte Aufgabe wird gemäß der vorliegenden Erfindung durch ein Verfahren mit den Merkmalen des Anspruches 1 bzw. eine Schaltungsanordnung mit den Merkmalen des Anspruches 9 gelöst. Die Unteransprüche beschreiben bevorzugte und vorteilhafte Ausführungsformen der Erfindung.

Die Erfindung geht davon aus, daß das Empfangssignal bei digitalen Funksystemen, wie z. B. bei CDMA-Systemen (Code Division Multiple Access), über die Zeit unabhängig von der Information einer bestimmten statistischen Verteilung entsprechen soll. Daher wird erfindungsgemäß vorausgesetzt, daß es ausreichend ist, die Regelung des dem A/D-Wandler zugeführten Signalpegels derart zu gestalten, daß über einen gewissen Zeitraum lediglich eine bestimmte Anzahl von Ausgangssignalen des A/D-Wandlers oberhalb eines bestimmten normierten Signalpegels liegen. Dies kann dadurch überwacht werden, daß die Änderungswahrscheinlichkeit oder Änderungsrate des Ausgangssignals des A/D-Wandlers erfaßt wird.

Insbesondere wird angenommen, daß es ausreichend ist, die Wahrscheinlichkeit, mit der sich die Information eines bestimmten Bits des Ausgangssignals des A/D-Wandlers ändert, derart zu regeln, daß sie stets innerhalb eines bestimmten Bereichs liegt und einen vorgegebenen Grenzwert nicht überschreitet. Dies ist möglich, da die Ausgangsbits des A/D-Wandlers gewissen Schwellen entsprechen, die mit dem Modulo-Faktor ihrer Wertigkeit öfter vorkommen. Vorteilhafterweise wird hierzu eines der höherwertigeren Bits des Ausgangssignals des A/D-Wandlers überwacht.

Die Wahrscheinlichkeit, mit der sich das überwachte Ausgangsbit des A/D-Wandlers verändert, muß kleiner als 50% sein. Die Stabilität des Systems ist jedoch umso besser, je kleiner dieser Grenzwert ist. Wird jedoch der Grenzwert zu klein gewählt, werden unter Umständen nicht sämtliche Bits des A/D-Wandlers genutzt und somit Systemressourcen vergeudet. Als vorteilhaft hat sich ein Grenzwert von 25% herausgestellt, da dieser Wert einen guten Kompromiß zwischen den zuvor erwähnten Erfordernissen darstellt. Dieser Grenzwert wird daher vorteilhafterweise als Sollwertvorgabe für die Regelung des Eingangssignalpegels des A/D-Wandlers verwendet, d. h. der Eingangssignalpegel des A/D-Wandlers wird derart geregelt, daß sich das überwachte Ausgangsbit des A/D-Wandlers im zeitlichen Mittel maximal mit einer Wahrscheinlichkeit von 25%, d. h. alle vier Abtastwerte, verändert. Bei einem 8 Bit-A/D-Wandler kann somit beispielsweise die Änderungswahrscheinlichkeit oder Änderungsrate des sechsten Bits auf 25% geregelt werden.

Das zuvor beschriebene Prinzip der Erfindung ermöglicht den Aufbau einer AGC-Schaltung mit einer minimalen Anzahl an zudem preiswerten Komponenten. Dies resultiert



daraus, daß gemäß der vorliegenden Erfindung nicht auf einen konkreten Ausgangswert des A/D-Wandlers, sondern auf die Änderungsrate bzw. Änderungswahrscheinlichkeit des A/D-Wandlers geregelt wird. Die AGC-Schaltung kann insbesondere derart aufgebaut sein, daß sie die Änderung des Ausgangssignals des A/D-Wandlers, insbesondere die Änderung eines bestimmten Ausgangsbits, mit dem Zeitverlauf ins Verhältnis setzt. Wird auf diese Weise eine geringe Änderungsrate erfaßt, wird von einer entsprechenden Regelschaltung die Eingangsverstärkung des A/D-Wandlers erhöht bzw. im anderen Fall verringert.

Die Erfindung wird nachfolgend unter Bezugnahme auf die beigefügte Zeichnung anhand bevorzugter Ausführungsbeispiele erläutert.

Fig. 1 zeigt einen Hochfrequenz-Empfänger mit einer AGC-Schaltung gemäß einem ersten Ausführungsbeispiel der vorliegenden Erfindung,

Fig. 2 zeigt einen Hochfrequenz-Empfänger mit einer AGC-Schaltung gemäß einem zweiten Ausführungsbeispiel der vorliegenden Erfindung,

Fig. 3 zeigt einen Hochfrequenz-Empfänger mit einer AGC-Schaltung gemäß einem dritten Ausführungsbeispiel der vorliegenden Erfindung, und

Fig. 4 zeigt einen Hochfrequenz-Empfänger mit einer AGC-Schaltung gemäß dem Stand der Technik.

Gemäß Fig. 1 umfaßt der dargestellte Empfänger wieder ein HF-Empfangsteil 2, dem über eine Antenne 1 ein HF-Empfangssignal zugeführt wird. Das HF-Empfangsteil 2 arbeitet analog und mischt das Empfangssignal in das Basisband, wobei das von dem HF-Empfangsteil 2 gelieferte Basisbandsignal einem A/D-Wandler 4 zugeführt wird, der dieses Signal in eine digitale Datenfolge umsetzt. Der Verstärkungsfaktor eines vor den A/D-Wandler 4 geschalteten Eingangsverstärkers 3 ist variabel und wird durch einen PI-Regler 14 derart eingestellt, daß am Eingang des A/D-Wandlers 4 ein optimaler Signalpegel anliegt.

Nachfolgend wird davon ausgegangen, daß als optimaler Signalpegel ein Signalpegel angesehen wird, der 1/4, d. h. 25%, des maximalen Signalpegels entspricht. Die somit verwendete Sicherheitsreserve von 75% sollte ausreichen, um die durch Fast-Fading-Effekte hervorgerufenen Signalüberhöhungen auszugleichen. In diesem Fall kann die Änderungsrate des zweiten Bits unterhalb des höchstwertigen Bits (most significant bit, msb) überwacht werden, um die Einhaltung der 25%-Schwelle des Eingangssignalpegels des A/D-Wandlers 4 zu gewährleisten. Die für den Fall eines Eingangssignalpegels, der 25% des maximalen Signalpegels entspricht, auftretende Änderungsrate des zweiten Bits unterhalb des höchstwertigen Bits, d. h. bei einem 8 Bit-A/D-Wandler des Bits Nr. 5, wird daher als Sollwertvorgabe SP verwendet und dem PI-Regler 14 zugeführt.

Die Änderungsrate des entsprechenden Bits des Ausgangssignals des A/D-Wandlers 4 wird gemäß Fig. 1 von einer Logikschaltung überwacht, welche abhängig von den Umschaltzeitpunkten des überwachten Bits entsprechende Impulse liefert. Diese Logikschaltung umfaßt ein XOR-Gatter 10, welches den Zustand des überwachten Bits mit demjenigen des höchstwertigen Bits vergleicht und den Ausgangswert "1" liefert, falls sich das höchstwertige Bit bzw. das Vorzeichenbit und das überwachte Bit unterscheiden. Des weiteren umfaßt die Logikschaltung ein dem XOR-Gatter 10 nachgeschaltetes OR-Gatter 11, welches jedoch nur erforderlich ist, falls ein A/D-Wandler 4 mit Begrenzungsfunktion (Clipping) verwendet wird, wobei in diesem Fall der A/D-Wandler 4 einen bestimmten durch seine Wortbreite definierten Maximalwert ausgibt, falls der Eingangswert größer als der Maximalwert ist. Das OR-Gatter 11 empfängt als Eingangssignale ein Steuersignal OV, welches

im Begrenzungsfall den Wert "1" besitzt, sowie das Ausgangssignal des XOR-Gatters 10.

Dem OR-Gatter 11 ist ein Monoflop 12 nachgeschaltet, welches synchron zu demjenigen Zeitpunkt gesetzt wird, bei dem die vorgeschaltete Logik eine Information auf dem interessierenden Bit erfaßt. Dies wird dadurch erreicht, daß der A/D-Wandler 4 und das Monoflop 12 mit demselben Taktsignal CLK getriggert werden. Das Monoflop 12 erzeugt jedesmal, wenn das überwachte Bit eine Information enthält, d. h. den Wert "1" besitzt, einen Impuls konstanter Dauer, wobei die Impulsdauer kürzer als die Dauer einer Abtastperiode ist.

Das Ausgangssignal des Monoflops 12 ist einem Tiefpaßfilter 13 erster oder höherer Ordnung zugeführt, welches die an ihm anliegende Impulsfolge zeitlich mittelt und somit ein Ausgangssignal erzeugt, das proportional zu der mittleren Anzahl der letzten Impulse ist. Die Zeitkonstante des Tiefpaßfilters sollte der Länge eines Zeitschlitzes (Slots) des Empfangssignals bzw. einem Vielfachen (≥ 10) der Abtastrate des A/D-Wandlers 4 entsprechen.

Das auf diese Weise erzeugte Istwertsignal der Änderungsrate des sechsten Bits, d. h. des Ausgangsbits Nr. 5, des A/D-Wandlers 4 ist dem bereits erwähnten PI-Regler 14 zugeführt, der die durch das Istwertsignal angezeigte Ist-Änderungsrate des überwachten Bits mit dem vorgegebenen Sollwert SP vergleicht und abhängig von der Differenz ein Einstellsignal für den Eingangsverstärker 3 derart erzeugt, daß die Eingangsverstärkung erhöht wird, falls der Impulsmittelwert unterhalb des Sollwerts SP liegt, während die Eingangsverstärkung verringert wird, falls der Impulsmittelwert oberhalb des Sollwerts SP liegt.

Das Ausgangssignal des PI-Reglers 14 kann mit Hilfe eines weiteren A/D-Wandlers, der mit einer niedrigen Abtastrate arbeitet, in ein digitales AGC-Signal für jeden beliebigen Microcontroller umgesetzt werden.

Bei der in Fig. 1 gezeigten Schaltungsvariante handelt es sich um einen Entwurf mit einer analogen PI-Regelschaltung. Um die mit analogen Bauteilen verbundenen Nachteile hinsichtlich der Einhaltung von Toleranzen und Schaltungsdrift zu vermeiden, kann die in Fig. 2 gezeigte Schaltungsvariante mit digitalen Komponenten verwendet werden. Zur Vereinfachung der Schaltung wurde der PI-Regler durch einen I-Regler ersetzt.

Gemäß Fig. 2 ist der in Fig. 1 gezeigte analoge Abschnitt mit dem Monoflop 12, dem Tiefpaßfilter 13 und dem PI-Regler 14 durch eine entsprechende Ersatzschaltung mit einem Multiplexer 15 und einem Akkumulator 16 bzw. einen Addierer mit rückgekoppeltem Ausgang ersetzt. Bei dem Akkumulator 16 handelt es sich in diesem Fall um einen 20 Bit-Akkumulator. Die Größe des Akkumulators 16 ist derart zu bemessen, daß es innerhalb der Regelkreis-Zeitkonstante zu keinem Überlauf kommt.

An den Eingängen des Multiplexers 15 liegen fest die Werte "+1" und "-1" an. Der Multiplexer 15 wird von dem Ausgangssignal des OR-Gatters 11 derart angesteuert, daß er den Wert "-1" an seinen Ausgang durchschaltet, falls die Logikschaltung mit dem XOR-Gatter 10 und dem OR-Gatter 11 eine Information, d. h. den Wert "1", auf dem überwachten Bit erkannt hat, während im anderen Fall der Wert "+1" durchgeschaltet wird. Der Ausgabewert des Multiplexers 15 wird dem Akkumulator bzw. Addierer 16 zugeführt, der vorzugsweise intern eine Logik zur Vermeidung von Überlauf aufweist. Der akkumulierte Ausgabewert des Akkumulators 16 wird zur Erzeugung des Einstellsignals für den Eingangsverstärker 3 verwendet, wobei hierzu dem Eingangsverstärker 3 insbesondere die oberen acht Bits des Ausgabewerts des Akkumulators 16 zugeführt werden.

Bei dem in Fig. 2 gezeigten Ausführungsbeispiel ist der



Regelkreis lediglich mit einem I-Anteil ausgestattet. Um den Regelkreis um einen P-Anteil zu ergänzen, kann die in Fig. 2 gezeigte Schaltung analog zu der in Fig. 4 gezeigten Schaltung um einen Abschnitt erweitert werden, welcher sämtliche Ausgangsbits des A/D-Wandlers 4 überwacht und daraus den Absolutwert berechnet und mit dem vorgegebenen Sollwert SP vergleicht. Der somit ermittelte Differenzwert kann wiederum einem digitalen Tiefpaßfilter erster Ordnung zugeführt, skaliert und das somit skalierte Ergebnis zu dem I-Anteil des Akkumulators 16 hinzuaddiert werden. Eine entsprechende Schaltung ist in Fig. 3 gezeigt, wobei die der in Fig. 4 dargestellten Schaltung entsprechenden Komponenten mit denselben Bezugszeichen versehen sind. Anstelle der Absolutwertbildung durch die Einheit 5 kann auch das Ausgangssignal des A/D-Wandlers 4 quadriert werden.

Patentansprüche

1. Verfahren zum Regeln des einem Analog/Digital-Wandler zugeführten Signalpegels, mit den Schritten
 - a) Überwachen des Ausgangssignals des Analog/Digital-Wandlers (4), und
 - b) Einstellen des dem Analog/Digital-Wandler (4) zugeführten Signalpegels in Abhängigkeit von dem Ergebnis der Überwachung derart, daß der Signalpegel des Ausgangssignals innerhalb eines bestimmten Bereichs bleibt,
 dadurch gekennzeichnet,
 - daß im Schritt a) die Änderungsrate, mit der sich das Ausgangssignal des Analog/Digital-Wandler (4) zeitlich verändert, erfaßt wird, und
 - daß im Schritt b) abhängig von der im Schritt a) erfaßten Änderungsrate der dem Analog/Digital-Wandler (4) zugeführte Signalpegel eingestellt wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß im Schritt b) die im Schritt a) erfaßte Änderungsrate mit einem Sollwert (SP), welcher einer Soll-Änderungsrate entspricht, verglichen wird, um abhängig von dem Vergleichsergebnis den dem Analog/Digital-Wandler (4) zugeführten Signalpegel einzustellen.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß im Schritt a) die Änderungsrate eines Bits des Ausgangssignals des Analog/Digital-Wandlers (4) erfaßt und im Schritt b) davon abhängig der dem Analog/Digital-Wandler (4) zugeführte Signalpegel eingestellt wird.
4. Verfahren nach Anspruch 2 und 3, dadurch gekennzeichnet, daß im Schritt b) als Sollwert (SP) für die Änderungsrate des überwachten Bits des Ausgangssignals des Analog/Digital-Wandlers (4) eine mittlere Änderungswahrscheinlichkeit $< 50\%$ gewählt wird, so daß der dem Analog/Digital-Wandler (4) zugeführte Signalpegel derart geregelt wird, daß sich das überwachte Bit des Ausgangssignals des Analog/Digital-Wandlers (4) im Mittel höchstens mit jedem zweiten Taktzyklus (CLK) des Analog/Digital-Wandlers (4) verändert.
5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, daß im Schritt b) als Sollwert (SP) für die Änderungsrate des überwachten Bits des Ausgangssignals des Analog/Digital-Wandlers (4) eine mittlere Änderungswahrscheinlichkeit von 25% gewählt wird, so daß der dem Analog/Digital-Wandler (4) zugeführte Signalpegel derart geregelt wird, daß sich das überwachte Bit des Ausgangssignals des Analog/Digital-Wandlers (4) im Mittel alle vier Taktzyklen (CLK) des Analog/Digital-Wandlers (9) verändert.

6. Verfahren nach einem der Ansprüche 3–5, dadurch gekennzeichnet, daß im Schritt a) die Änderungsrate eines höherwertigeren Bits des Ausgangssignals des Analog/Digital-Wandlers (4) erfaßt wird.
7. Verfahren nach Anspruch 5 und 6, dadurch gekennzeichnet, daß der Analog/Digital-Wandler (4) ein 8 Bit-Ausgangssignal liefert, und daß im Schritt a) die Änderungsrate des sechsten Bits des Ausgangssignals des Analog/Digital-Wandlers (4) erfaßt wird.
8. Verfahren nach einem der Ansprüche 2–7, dadurch gekennzeichnet, daß im Schritt b) der dem Analog/Digital-Wandler (4) zugeführte Signalpegel erhöht wird, falls die im Schritt a) erfaßte Änderungsrate kleiner als der Sollwert (SP) ist, und daß im Schritt b) der dem Analog/Digital-Wandler (4) zugeführte Signalpegel verringert wird, falls die im Schritt a) erfaßte Änderungsrate größer als der Sollwert (SP) ist.
9. Schaltungsanordnung zum Regeln des einem Analog/Digital-Wandler zugeführten Signalpegels, mit Verstärkermitteln (3), um dem Analog/Digital-Wandler (4) ein analoges Eingangssignal mit einem bestimmten Signalpegel zuzuführen, mit Überwachungsmitteln (10–13) zum Überwachen des Ausgangssignals des Analog/Digital-Wandlers (4), und mit einer Regelschaltung (14–16) zum Erzeugen eines Einstellsignals für die Verstärkermittel (3), wobei die Regelschaltung (14–16) in Abhängigkeit von dem Überwachungsergebnis der Überwachungsmittel (10–13) ein Einstellsignal für die Verstärkermittel (3) derart erzeugt, daß der dem Analog/Digital-Wandler (4) zugeführte Signalpegel innerhalb eines bestimmten Bereichs bleibt, dadurch gekennzeichnet, daß die Überwachungsmittel (10–13) derart ausgestaltet sind, daß sie die Änderungsrate, mit der sich das Ausgangssignal des Analog/Digital-Wandler (4) zeitlich verändert, erfassen, und daß die Regelschaltung (14–16) derart ausgestaltet ist, daß sie abhängig von der von den Überwachungsmitteln (10–13) erfaßten Änderungsrate das Einstellsignal für die Verstärkermittel (3) erzeugt.
10. Schaltungsanordnung nach Anspruch 9, dadurch gekennzeichnet, daß die Überwachungsmittel (10–13) derart ausgestaltet sind, daß sie die mittlere zeitliche Änderungsrate eines Bits des Ausgangssignals des Analog/Digital-Wandlers (4) erfassen.
11. Schaltungsanordnung nach Anspruch 10, dadurch gekennzeichnet, daß die Überwachungsmittel (10–13) die mittlere zeitliche Änderungsrate eines höherwertigeren Bits des Ausgangssignals des Analog/Digital-Wandlers (4) erfassen.
12. Schaltungsanordnung nach Anspruch 10 oder 11, dadurch gekennzeichnet, daß der Analog/Digital-Wandler (4) ein 8 Bit-Ausgangssignal liefert, und daß die Überwachungsmittel (10–13) die mittlere zeitliche Änderungsrate des sechsten Bits des Ausgangssignals des Analog/Digital-Wandlers (4) erfassen.
13. Schaltungsanordnung nach einem der Ansprüche 10–12, dadurch gekennzeichnet, daß die Überwachungsmittel (10–13) eine Logikschaltung (10, 11) um-



fassen, welche eine Änderung des überwachten Bits gegenüber dem höchstwertigen Bits des Ausgangssignals des Analog/Digital-Wandlers (4) erfaßt.

14. Schaltungsanordnung nach Anspruch 13, dadurch gekennzeichnet, daß die Logikschaltung (10, 11) ein XOR-Gatter (10) umfaßt, dem als Eingangssignale das überwachte Bit und das höchstwertige Bit des Ausgangssignals des Analog/Digital-Wandlers (4) zugeführt sind.

15. Schaltungsanordnung nach Anspruch 14, dadurch gekennzeichnet, daß die Logikschaltung (10, 11) ein OR-Gatter (11) umfaßt, dem als Eingangssignale das Ausgangssignal des XOR-Gatters (10) und ein Überlaufsignal des Analog/Digital-Wandlers (4) zugeführt sind.

16. Schaltungsanordnung nach einem der Ansprüche 13–15, dadurch gekennzeichnet, daß die Überwachungsmittel (10–13) eine Mittelwertbildungsschaltung (12, 13) zum zeitlichen Mitteln der von der Logikschaltung (10, 11) erfaßten Änderungsrate des überwachten Bits des Ausgangssignals des Analog/Digital-Wandlers (4) umfassen.

17. Schaltungsanordnung nach Anspruch 16, dadurch gekennzeichnet, daß die Mittelwertbildungsschaltung (12, 13) ein Monoflop (12) und ein damit in Reihe geschaltetes Tiefpaßfilter (13) umfaßt, wobei das Monoflop (12) mit der Logikschaltung (10, 11) verbunden und mit demselben Takt (CLK) wie der Analog/Digital-Wandler (4) getaktet ist.

18. Schaltungsanordnung nach einem der Ansprüche 9–17, dadurch gekennzeichnet, daß die Regelschaltung einen PI-Regler (14) umfaßt, der die von den Überwachungsmitteln (10–13) erfaßte Änderungsrate mit einem Sollwert (SP) vergleicht und abhängig von der Abweichung zwischen der von den Überwachungsmitteln (10–13) erfaßte Änderungsrate und dem Sollwert das Einstellsignal für die Verstärkermittel (3) erzeugt.

19. Schaltungsanordnung nach Anspruch 18, dadurch gekennzeichnet,

daß der PI-Regler (14) ein den dem Analog/Digital-Wandler (4) zugeführten Signalpegel erhöhendes Einstellsignal für die Verstärkermittel (3) erzeugt, falls die von den Überwachungsmitteln (10–13) erfaßte Änderungsrate kleiner als der Sollwert (SP) ist, und daß der PI-Regler (14) ein den dem Analog/Digital-Wandler (4) zugeführten Signalpegel verringerndes Einstellsignal für die Verstärkermittel (3) erzeugt, falls die von den Überwachungsmitteln (10–13) erfaßte Änderungsrate größer als der Sollwert (SP) ist.

20. Schaltungsanordnung nach einem der Ansprüche 9–15, dadurch gekennzeichnet,

daß die Regelschaltung einen von einem Ausgangssignal der Logikschaltung (10, 11) angesteuerten Multiplexer (15) und einen Akkumulator (16) umfaßt, wobei an den Multiplexer (15) als Eingangswerte die festen Werte +1 und -1 angelegt sind, welche selektiv abhängig von dem Wert des Ausgangssignals der Logikschaltung (10, 11) an den Ausgang des Multiplexers (15) durchgeschaltet werden, und daß der Akkumulator (16) den von dem Multiplexer (15) durchgeschalteten Eingangswert empfängt, entsprechend seinen Zählerstand verändert und abhängig von seinem Zählerstand das Einstellsignal für die Verstärkermittel (3) erzeugt.

21. Schaltungsanordnung nach Anspruch 20, dadurch gekennzeichnet, daß der Akkumulator (16) ein 20 Bit-Akkumulator ist, wobei die oberen acht Bits des Zählerstands des Akkumulators (16) als Einstellsignal den Verstärkermitteln (3) zugeführt sind.

22. Schaltungsanordnung nach Anspruch 20 oder 21, dadurch gekennzeichnet,

daß eine Absolutwertbildungseinheit (5) mit dem Ausgang des Analog/Digital-Wandlers (4) verbunden ist, um den Absolutwert des Ausgangssignals des Analog/Digital-Wandlers (4) zu bilden,

daß ein Vergleichler (5) mit dem Ausgang der Absolutwertbildungseinheit (5) verbunden ist, um den von der Absolutwertbildungseinheit (5) gelieferten Absolutwert mit einem Sollwert (SP) zu vergleichen, und daß ein Addierer (9) zum Addieren des Ausgangssignals des Vergleichlers (6) und des Ausgangssignals des Akkumulators (16) vorgesehen ist, wobei das Additionsergebnis des Addierers (9) als das Einstellsignal den Verstärkermitteln (3) zugeführt ist.

23. Schaltungsanordnung nach Anspruch 22, dadurch gekennzeichnet, daß das Ausgangssignal des Vergleichlers (6) über ein Tiefpaßfilter (8) dem Addierer (9) zugeführt ist.

24. Schaltungsanordnung nach einem der Ansprüche 19–21, dadurch gekennzeichnet, daß als Sollwert (SP) für die Änderungsrate des überwachten Bits des Ausgangssignals des Analog/Digital-Wandlers (4) eine mittlere Änderungswahrscheinlichkeit < 50% gewählt wird, so daß der dem Analog/Digital-Wandler (4) zugeführte Signalpegel von der Regelschaltung (14–16) derart geregelt wird, daß sich das überwachte Bit des Ausgangssignals des Analog/Digital-Wandlers (4) im Mittel höchstens mit jedem zweiten Taktzyklus (CLK) des Analog/Digital-Wandlers (4) verändert.

25. Schaltungsanordnung nach Anspruch 24, dadurch gekennzeichnet, daß als Sollwert (SP) für die Änderungsrate des überwachten Bits des Ausgangssignals des Analog/Digital-Wandlers (4) eine mittlere Änderungswahrscheinlichkeit von 25% gewählt wird, so daß der dem Analog/Digital-Wandler (4) zugeführte Signalpegel von der Regelschaltung (14–16) derart geregelt wird, daß sich das überwachte Bit des Ausgangssignals des Analog/Digital-Wandlers (4) im Mittel alle vier Taktzyklen (CLK) des Analog/Digital-Wandlers (4) verändert.

26. Verwendung einer Schaltungsanordnung nach einem der Ansprüche 9–25 in einem Hochfrequenz-Empfänger, wobei ein von einer Hochfrequenz-Empfängereinheit (2) empfangenes und auf ein Basisbandsignal heruntergemischtes Empfangssignal dem Analog/Digital-Wandler (4) zur Umsetzung in eine Digitalsignal über die Verstärkermittel (3) der Schaltungsanordnung zugeführt wird.

Hierzu 2 Seite(n) Zeichnungen



- Leerseite -

X

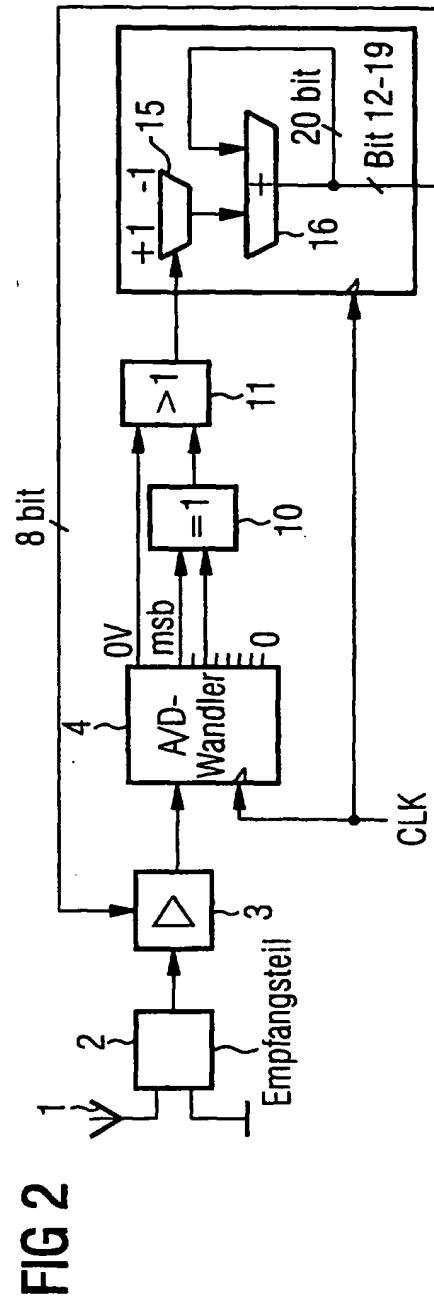
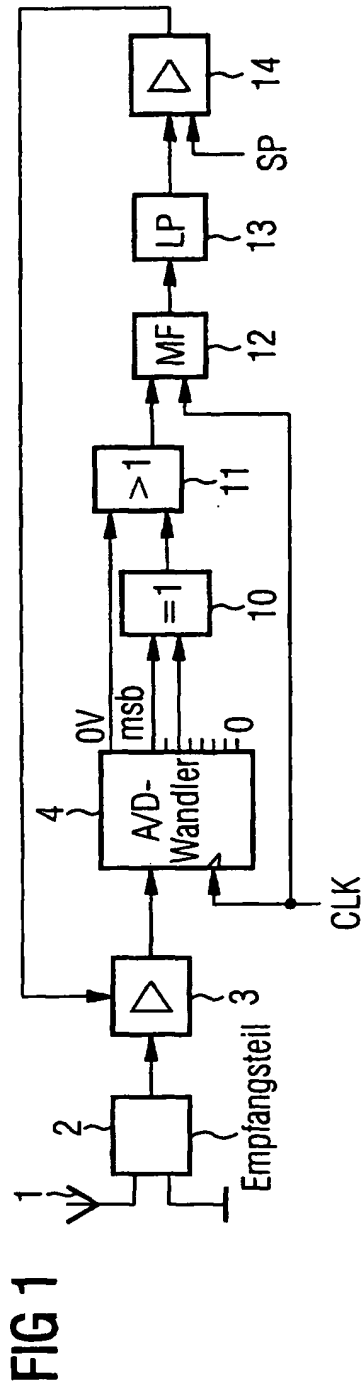


FIG 3

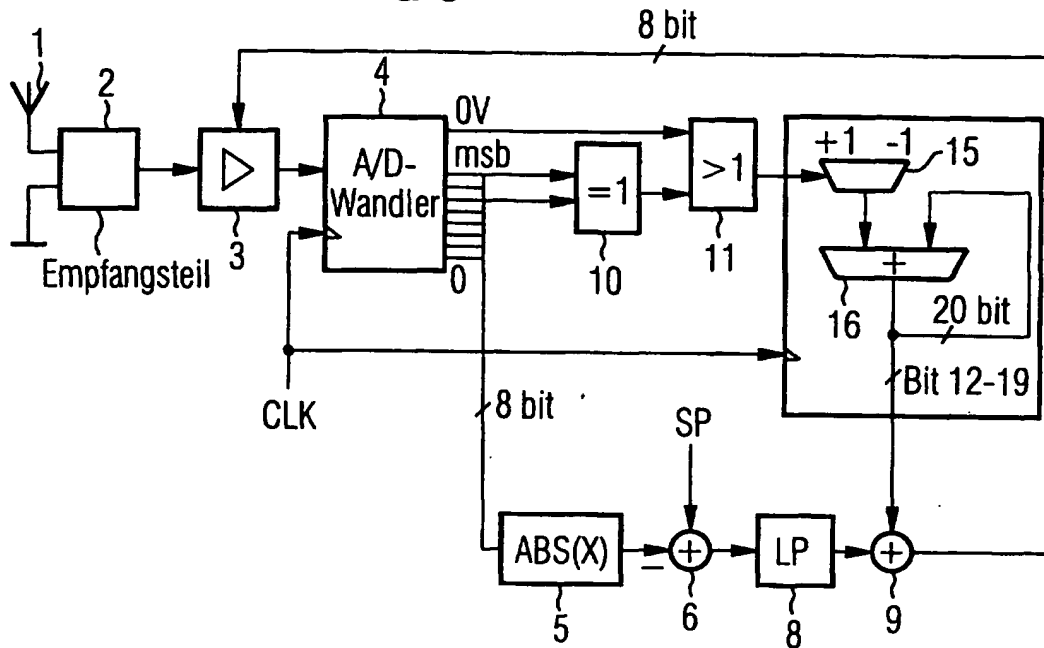


FIG 4
(Stand der Technik)

